

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

IN RE APPLICATION OF: Koichi TANIGAWA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: MICROCOMPUTER

**REQUEST FOR PRIORITY**

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-063199	March 10, 2003

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)  
 are submitted herewith  
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak  
Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

C. Irvin McClelland  
Registration Number 21,124

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2003年 3月10日

出願番号

Application Number: 特願2003-063199

[ ST.10/C ]:

[ JP2003-063199 ]

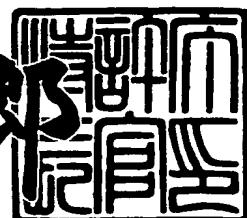
出願人

Applicant(s): 三菱電機株式会社

2003年 3月28日

特許庁長官  
Commissioner,  
Japan Patent Office

太田 信一



出証番号 出証特2003-3021679

【書類名】 特許願  
【整理番号】 543235JP01  
【提出日】 平成15年 3月10日  
【あて先】 特許庁長官殿  
【国際特許分類】 G01R 31/02  
【発明者】  
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内  
【氏名】 谷川 浩一  
【特許出願人】  
【識別番号】 000006013  
【氏名又は名称】 三菱電機株式会社  
【代理人】  
【識別番号】 100089233  
【弁理士】  
【氏名又は名称】 吉田 茂明  
【選任した代理人】  
【識別番号】 100088672  
【弁理士】  
【氏名又は名称】 吉竹 英俊  
【選任した代理人】  
【識別番号】 100088845  
【弁理士】  
【氏名又は名称】 有田 貴弘  
【手数料の表示】  
【予納台帳番号】 012852  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 マイクロコンピュータ

【特許請求の範囲】

【請求項1】 C P Uと、

前記C P Uの出力信号に対応して設けられる複数の信号線と、  
外部信号に基づき、前記複数の信号線に対応する設定データを格納可能なデータ記憶部と、

活性状態時に、前記C P Uの出力信号を前記複数の信号線に伝達する第1の信号伝達手段と、

活性状態時に、前記データ記憶部の前記設定データを前記複数の信号線に伝達する第2の信号伝達手段と、

前記第1及び第2の信号伝達手段の活性／非活性を制御する信号伝達制御手段とを備え、

前記信号伝達制御手段は、モード信号を受け、該モード信号が通常状態を指示するとき前記第1の信号伝達手段のみを活性状態とし、前記モード信号が特殊状態を指示するとき前記第2の信号伝達手段のみを活性状態とする、

マイクロコンピュータ。

【請求項2】 請求項1記載のマイクロコンピュータであって、

前記外部信号はシリアルデータを含み、

前記データ記憶部は複数ビット構成を有し、前記外部信号をシフトしながら取り込むことにより前記設定データを格納するデータ記憶部を含む、  
マイクロコンピュータ。

【請求項3】 請求項2記載のマイクロコンピュータであって、

前記データ記憶部は前記マイクロコンピュータの通常動作時にシリアルI／Oとして用いられるデータ記憶部を含む、  
マイクロコンピュータ。

【請求項4】 請求項1記載のマイクロコンピュータであって、

前記外部信号は所定のタイミングで所定の信号遷移変化を行うタイミング用信号を含み、

前記データ記憶部は複数ビット構成を有し、前記タイミング用信号の前記所定の信号遷移変化の回数を前記設定データとしてカウントするデータ記憶部を含む

マイクロコンピュータ。

【請求項5】 請求項4記載のマイクロコンピュータであって、  
前記データ記憶部は前記マイクロコンピュータの通常動作時にタイマーとして  
用いられるデータ記憶部を含む、  
マイクロコンピュータ。

【請求項6】 複数ビットのワード線選択用アドレス信号を出力するCPU  
と、

複数のワード線を有するメモリ部と、  
前記アドレス信号のうち最下位ビットのアドレス信号を除くメインアドレス信号に基づきデコード処理を行いメインデコード結果を得るメインデコーダと、

前記メインデコード結果、前記最下位ビットのアドレス信号及びモード信号を受け、前記複数のワード線の電位設定を行うサブデコード部とを備え、

前記サブデコード部は、前記モード信号が通常状態を指示するとき、前記メインデコード結果と前記最下位ビットのアドレス信号に基づき、前記複数のワード線のうちのいずれかを選択状態の電位に設定し、前記モード信号が特殊状態を指示するとき、前記最下位ビットのアドレス信号のみに基づき前記複数のワード線の電位設定を行う；

マイクロコンピュータ。

【請求項7】 複数ビットのアドレス信号を出力するCPUと、  
複数のワード線及び複数のビット線を有するメモリ部と、  
モード信号を受け、該モード信号が通常状態を指示するとき、前記アドレス信号に基づき複数のワード線のいずれかを選択し、前記モード信号が特殊状態を指示するとき前記複数のワード線を全て非選択状態にするワード線選択手段と、

モード信号を受け、該モード信号が特殊状態を指示するときに活性状態となり、前記複数のビット線の電位設定を予め定められた態様で行うビット線電位設定部と、

を備えるマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、マイクロコンピュータに関し、特に、アドレスバス、データバス等のバス配線や内蔵ROM等のワード線やビット線等の配線の不良を検出するための技術に関する。

【0002】

【従来の技術】

従来より、マイクロコンピュータにおける、クロックの発振を停止する特殊な動作モード（ストップモード）において、所定のワード線パターンを与えるテスト信号を選択し、ROM等のメモリに対してテスト信号出力することにより、すべてのワード線の信号レベルを同時に設定して、容易に、短時間で、かつ精度よくリーキ不良の検出が行える技術として特許文献1の技術が知られている。

【0003】

【特許文献1】

特開平10-38978号公報

【0004】

【発明が解決しようとする課題】

しかしながら、かかる従来技術においては、ストップモードにおいて、所定のワード線パターンを与えるテスト信号を用いているため、テスト信号供給源を別途設ける必要があり、コストが増大していた。

【0005】

この発明は上記問題点を解決するためになされたもので、CPUの信号を伝達するワード線等の複数の信号線における不良を検出することが可能な、低成本のマイクロコンピュータを提供することを目的とする。

【0006】

【課題を解決するための手段】

この発明に係る請求項1記載のマイクロコンピュータは、CPUと、前記CP

Uの出力信号に対応して設けられる複数の信号線と、外部信号に基づき、前記複数の信号線に対応する設定データを格納可能なデータ記憶部と、活性状態時に、前記C P Uの出力信号を前記複数の信号線に伝達する第1の信号伝達手段と、活性状態時に、前記データ記憶部の前記設定データを前記複数の信号線に伝達する第2の信号伝達手段と、前記第1及び第2の信号伝達手段の活性／非活性を制御する信号伝達制御手段とを備え、前記信号伝達制御手段は、モード信号を受け、該モード信号が通常状態を指示するとき前記第1の信号伝達手段のみを活性状態とし、前記モード信号が特殊状態を指示するとき前記第2の信号伝達手段のみを活性状態としている。

## 【0007】

この発明に係る請求項6記載のマイクロコンピュータは、複数ビットのアドレス信号を出力するC P Uと、複数のワード線を有するメモリ部と、前記アドレス信号のうち最下位ビットのアドレス信号を除くメインアドレス信号に基づきデコード処理を行いメインデコード結果を得るメインデコーダと、前記メインデコード結果、前記最下位ビットのアドレス信号及びモード信号を受け、前記複数のワード線の電位設定を行うサブデコード部とを備え、前記サブデコード部は、前記モード信号が通常状態を指示するとき、前記メインデコード結果と前記最下位ビットのアドレス信号に基づき、前記複数のワード線のうちのいずれかを選択状態の電位に設定し、前記モード信号が特殊状態を指示するとき、前記最下位ビットのアドレス信号のみに基づき前記複数のワード線の電位設定を行っている。

## 【0008】

この発明に係る請求項7記載のマイクロコンピュータは、複数ビットのアドレス信号を出力するC P Uと、複数のワード線及び複数のビット線を有するメモリ部と、モード信号を受け、該モード信号が通常状態を指示するとき、前記アドレス信号に基づき複数のワード線のいずれかを選択し、前記モード信号が特殊状態を指示するとき前記複数のワード線を全て非選択状態にするワード線選択手段と、モード信号を受け、該モード信号が特殊状態を指示するときに活性状態となり、前記複数のビット線の電位設定を予め定められた態様で行うビット線電位設定部とを備える。

## 【0009】

## 【発明の実施の形態】

## &lt;実施の形態1&gt;

図1はこの発明の実施の形態1であるマイクロコンピュータにおける主要部の構成を示す回路図である。この実施の形態に係るマイクロコンピュータは制御手段であるCPU1と、プログラムカウンタ（図示省略）、デコーダ（図示省略）、ROM（図示省略）その他の周辺機器を備え、並列に配置されるアドレスバス、データバス等のバス配線11, 12, 13, 14, 15, 16, …（以下、「バス配線11～16」と略記）によりCPU1とROM等の周辺機器が情報をやり取りする。このバス配線11～16がCPUの出力信号に対応して設けられる複数の信号線に相当する。

## 【0010】

また、このマイクロコンピュータは、クロック発振に基づいて通常の演算処理を行う通常モードと、クロック発振を停止してCPU1を停止させ、消費電流を低減するストップモードとを有している。これらのモード指示はモード信号設定部5より与えられるモード信号によって決定する。

## 【0011】

マイクロコンピュータは内部に内部クロック発生回路8を有しており、内部クロック発生回路8はモード信号設定部5からのモード信号を受け、モード信号がストップモードを指示するとき内部クロックの発生（発振）を停止する。

## 【0012】

このマイクロコンピュータの出力信号はバッファ61, 62, 63, 64, 65, 66, …（以下、「バッファ61～66」と略記）に与えられ、バッファ61～66（第1の信号伝達手段に相当）は活性状態時に上記出力信号を増幅してバス配線11～16に供給する。

## 【0013】

バス配線11～16に対して、ストップモード時に電位を設定するシフトレジスタ20（データ記憶部に相当）を備えており、シフトレジスタ20は1ビットラッチ部21, 22, 23, 24, 25, 26, …（以下、「1ビットラッチ部

21～26と略記」)で構成される。1ビットラッチ部21～26はそれぞれフリップフロップで構成され、クロック入力に入力されるクロックに同期して前段の入力信号を取り込む。このシフトレジスタ20に格納されたデータがストップモード時におけるバス配線11～16に対する設定データとなる。

#### 【0014】

1ビットラッチ部21～26は、配線41, 42, 43, 44, 45, 46, …(以下、「配線41～46」と略記)及びバッファ51, 52, 53, 54, 55, 56, …(以下、「バッファ51～56」と略記)を介してバス配線11～16に接続される。

#### 【0015】

バッファ51～56(第2の信号伝達手段に相当)は活性状態時に1ビットラッチ部21～26に格納されたデータを増幅してバス配線11～16に供給する。

#### 【0016】

また、上記のようにシフトレジスタ20に対し、ストップモード時に各バス配線11～16に設定すべき電位パターン(設定データに相当)をオペレータが設定可能であり、その電位パターンを入力するための外部データ入力部60と、ストップモード時においてシフトレジスタ20のデータ入力制御用の外部クロックを入力する外部クロック入力部70を備えている。そして、通常モードであるかストップモードであるかを指示するモード信号入力用にモード信号設定部5が設けられる。

#### 【0017】

モード信号設定部5は内部の信号線31に接続され、信号線31はバッファ51～56それぞれの制御入力に電気的に接続されるとともに、インバータ50の入力部に接続される。インバータ50の出力はバッファ61, 62, 63, 64, 65, 66, …(以下、「バッファ61～66」と略記)それぞれの制御入力に与えられる。

#### 【0018】

信号線31及びインバータ50からなる信号伝達制御手段は、バッファ51～

56及びバッファ61～66のうち、モード信号が“L”（通常モードを指示）のときバッファ61～66を選択的に活性状態に、モード信号が“H”（ストップモードを指示）のときバッファ51～56を選択的に活性状態とする。

#### 【0019】

バッファ51～56及びバッファ61～66はそれぞれ制御入力が“H”的とき活性状態となりバス配線11～16に信号を出力し、制御入力が“L”的とき非活性状態となりフローティング状態となり、バス配線11～16には信号を出力しない。

#### 【0020】

外部データ入力部60は信号線32を介してシフトレジスタ20の初段の1ビットラッチ部21の入力に接続される。外部クロック入力部70は信号線33を介して1ビットラッチ部21～26のクロック入力部に与えられる。

#### 【0021】

このような構成において、マイクロコンピュータにおいて、モード信号設定部5に“L”的通常モードを指示するモード信号が入力されると、前述したように、バッファ61～66が活性状態、バッファ51～56が非活性状態となる。したがって、シフトレジスタ20内のデータはバス配線11～16に与えられることなく、CPU1からの出力信号がバッファ61～66を介してバス配線11～16に与えられる。すなわち、通常のCPU1によるバス配線11～16の電位設定が行われる。

#### 【0022】

一方、モード信号設定部5に“H”的ストップモードを指示するモード信号が入力されると、内部クロック発生回路8は内部クロックの発生を停止し、バッファ61～66が非活性状態、バッファ51～56が活性状態となる。したがって、シフトレジスタ20内のデータがバス配線11～16に与えられ、CPU1からの出力信号がバス配線11～16に与えられない。

#### 【0023】

すなわち、シフトレジスタ20の各1ビットラッチ部21～26に保持されている設定データが配線41～46及びバッファ51～56を介してバス配線11

～16に与えられる。この設定データは、ストップモード時にオペレータが外部データ入力部60を介して所望のデータをシフトレジスタ20に保持させたデータである。

## 【0024】

具体的には、外部クロック入力部70からの外部クロックをシフトレジスタ20の1ビットラッチ部21～26それぞれのクロック入力に与えながら、外部データ入力部60から設定データ用の信号をシリアルに順次与えることにより、各1ビットラッチ部21～26に設定データが保持される。このように、このマイクロコンピュータでは、ストップモード中にオペレータが外部データ入力部60への設定データの指定を変更することにより、各バス配線11～16への設定データを変更することができる。

## 【0025】

ところで、従来のマイクロコンピュータにおいては、発振を全て停止させた時、アドレスバス、データバス等のバス配線やROM等のアドレス線はストップモードにエントリする直前の状態を保持していた。そのため、例えば、ある特定のアドレスバスが“H”レベルの状態でしか電流が流れないような欠陥がそのアドレスバス上に存在した場合には、出荷テストで用いるテスト用のデータによってはその不良を検出できない可能性があった。また、隣接するバス配線間の絶縁不良により、それらの配線間に電流が流れるリーク不良も、テスト用のデータによっては検出できない場合があった。さらに、複数のテストパターンを用いて、いろいろな組み合わせでテストを実施できたとしても、テスト時間が増大するという問題があった。

## 【0026】

これに対し、この実施の形態のマイクロコンピュータにおいては、ストップモードにおいて外部データ入力部60を通じて任意に設定データを指定することができるため、バス配線の設定データを様々に設定変更して電源電流（電源から接地に流れる電流）値等を測定することにより、複数のテストパターンを用いたテストを迅速に実施できる。特に、隣接するバス配線間で電位が異なる設定データを設定して電源電流値等を測定することにより、リークテストを容易に行うこと

ができる。

【0027】

さらに、シフトレジスタ20に設定データの信号を保持することにより、それをバス配線11～16へのデータ設定を実現したため、設定データのシフトレジスタ20への設定のための回路構成を簡単なものとすることができる。

【0028】

<実施の形態2>

図2はこの発明の実施の形態2であるマイクロコンピュータにおける主要部の構成を示す回路図である。

【0029】

実施の形態2では、図1で示した実施の形態1の構成と比較した場合、シフトレジスタ20に代えてインクリメントカウンタ120を設けた点、外部データ入力部60を省略した点、外部クロック入力部70を信号線33を介してインクリメントカウンタ120のカウント入力部に付与した点が異なる。そして、1ビットカウント部121, 122, 123, 124, 125, 126, …(以下、「1ビットカウント部121～126」と略記)は配線41～46を介してバッファ51～56に接続される。なお、1ビットカウント部121～126はそれぞれフリップフロップ等で構成される。なお、他の構成は図1で示した実施の形態1の構成と同様であるため、説明を省略する。

【0030】

インクリメントカウンタ120は外部クロック入力部70より入力される外部クロックの所定の信号遷移変化(立ち上がりエッジ、立ち下がりエッジ)を検出すると“1”インクリメントするカウント動作を実行する。

【0031】

このような構成において、マイクロコンピュータにおいて、モード信号設定部5に“L”の通常モードを指示するモード信号が入力されると、バッファ61～66が活性状態、バッファ51～56が非活性状態となる。したがって、インクリメントカウンタ120内のデータはバス配線11～16に与えられることなく、CPU1からの出力信号がバッファ61～66を介してバス配線11～16に

与えられる。

#### 【0032】

一方、モード信号設定部5に“H”のストップモードを指示するモード信号が入力されると、内部クロック発生回路8は内部クロックの発生を停止し、バッファ61～66が非活性状態、バッファ51～56が活性状態となる。したがって、インクリメントカウンタ120内の設定データがバス配線11～16に与えられ、CPU1からの出力信号がバス配線11～16に与えられない。

#### 【0033】

すなわち、インクリメントカウンタ120の各1ビットカウント部121～126に保持されている設定データが配線41～46及びバッファ51～56を介してバス配線11～16に与えられる。この設定データは、ストップモード時にオペレータが外部クロック入力部70を介して所望のデータをインクリメントカウンタ120に保持させたデータである。

#### 【0034】

具体的には、外部クロック入力部70からの所望のデータに相当するクロック数の外部クロックをインクリメントカウンタ120のカウント入力部に与えることにより、インクリメントカウンタ120の各1ビットカウント部121～126にカウント値が設定データとして保持される。このように、実施の形態2のマイクロコンピュータでは、ストップモード中にオペレータが外部クロック入力部70を介して設定データの内容を変更することにより、各バス配線11～16への設定データを変更することができる。

#### 【0035】

この実施の形態のマイクロコンピュータにおいては、ストップモードにおいて外部クロック入力部70を通じて任意に設定データを指定することができるため、バス配線の設定データを様々に設定変更して電源電流値等を測定することにより、複数のテストパターンを用いたテストを迅速に実施できる。

#### 【0036】

さらに、インクリメントカウンタ120に設定データの信号を保持することにより、それをバス配線11～16へのデータ設定を実現したるため、設定データ

のインクリメントカウンタ120への設定のための回路構成を簡単なものとすることができる。

## 【0037】

## &lt;実施の形態3&gt;

図3はこの発明の実施の形態3であるマイクロコンピュータにおける主要部の構成を示す回路図である。同図に示すように、シフトレジスタ20に置き換えて、マイクロコンピュータに元々内蔵されている内蔵シリアルI/O220を用い、これに伴い内蔵シリアルI/O220に対応して設けられているシリアルデータ入力部7をステップモード時の外部データ入力部としても用いている点が異なる。したがって、実施の形態1のように専用の外部データ入力部60は不要となる。

## 【0038】

内蔵シリアルI/O220は1ビットラッチ部121, 122, 123, 124, 125, 126, …(以下、「1ビットラッチ部121～126と略記」)で構成され、外部クロック入力部70から受ける外部クロックに同期して、シリアルデータ入力部7より受ける外部シリアルデータを入力し、1ビットラッチ部221から1ビットラッチ部226にかけてシリアルに転送する。

## 【0039】

1ビットラッチ部121～126は、配線41～46及びバッファ51～56を介してバス配線11～16に接続される。他の構成は図1で示した実施の形態1の構成と同様であるため、説明を省略する。

## 【0040】

このような構成において、モード信号設定部5に“L”の通常モードを指示するモード信号が入力されると、バッファ61～66が活性状態、バッファ51～56が非活性状態となる。したがって、内蔵シリアルI/O220内のデータはバス配線11～16に与えられることなく、CPU1からの出力信号がバッファ61～66を介してバス配線11～16に与えられる。

## 【0041】

一方、モード信号設定部5に“H”的ストップモードを指示するモード信号が

入力されると、内部クロック発生回路8は内部クロックの発生を停止し、バッファ61～66が非活性状態、バッファ51～56が活性状態となる。したがって、内蔵シリアルI/O220内の設定データがバス配線11～16に与えられ、CPU1からの出力信号がバス配線11～16に与えられない。

#### 【0042】

すなわち、内蔵シリアルI/O220の各1ビットラッチ部121～126に保持されている設定データが配線41～46及びバッファ51～56を介してバス配線11～16に与えられる。この設定データは、ストップモード時にオペレータがシリアルデータ入力部7を介して所望のデータを内蔵シリアルI/O220に保持させたデータである。内蔵シリアルI/O220へのデータ設定は、実施の形態1のシフトレジスタ20に対するデータ設定と同様に行われる。

#### 【0043】

したがって、この実施の形態のマイクロコンピュータにおいては、ストップモードにおいてシリアルデータ入力部7を通じて任意に設定データを指定することができるため、バス配線の設定データを様々に設定変更して電源電流値等を測定することにより、複数のテストパターンを用いたテストを迅速に実施できる。特に、隣接するバス配線間で電位が異なる設定データを設定して電源電流値等を測定することにより、リークテストを容易に行うことができる。

#### 【0044】

さらに、例えば、内蔵シリアルI/O220の初期値が2進数表示で「10101010」であった場合、ストップモードへ移行後、信号線33に「0」を1クロック入力するだけでシリアルインターフェイスの値は「01010101」となり、全てのバス配線に異なった値を容易かつ迅速に設定可能である。また、内蔵の内蔵シリアルI/O220を用いて各バス配線11～16に設定データを設定するので、新規に追加する部材を少なく抑えつつ（実施の形態1のシフトレジスタ20、外部データ入力部60等を省略しつつ）、上記効果を得ることができる。

#### 【0045】

<実施の形態4>

図4はこの発明の実施の形態4であるマイクロコンピュータにおける主要部の構成を示す回路図である。

#### 【0046】

実施の形態4では、図4で示した実施の形態2の構成と比較した場合、インクリメントカウンタ120に代えて内蔵タイマー320を設けた点、外部クロック入力部70に代えてイベント入力部360を設けた点が主として異なる。

#### 【0047】

内蔵タイマー320のカウントビット部321, 322, 323, 324, 325, 326, …（以下、「カウントビット部321～326」と略記）による複数ビット分のカウント値が時間計測値として設定可能である。すなわち、内蔵タイマー320は、イベント入力部360より入力されるイベント信号において所定時間間隔で生じる所定の信号遷移変化（立ち上がりエッジあるいは立ち下がりエッジ）に基づき、カウント値をアップカウントまたはダウンカウントする。

#### 【0048】

内蔵タイマー320のカウントビット部321～326は配線41～46を介してバッファ51～56に接続される。なお、他の構成は図2で示した実施の形態2と同様であるため説明を省略する。

#### 【0049】

このような構成において、モード信号設定部5に“L”の通常モードを指示するモード信号が入力されると、バッファ61～66が活性状態、バッファ51～56が非活性状態となる。したがって、内蔵タイマー320内の設定データ（カウント値）はバス配線11～16に与えられることなく、CPU1からの出力信号がバッファ61～66を介してバス配線11～16に与えられる。

#### 【0050】

一方、モード信号設定部5に“H”のストップモードを指示するモード信号が入力されると、内部クロック発生回路8は内部クロックの発生を停止し、バッファ61～66が非活性状態、バッファ51～56が活性状態となる。したがって、内蔵タイマー320内の設定データ（カウント値）がバス配線11～16に与えられ、CPU1からの出力信号がバス配線11～16に与えられない。

## 【0051】

すなわち、内蔵タイマー320の各カウントビット部321～326に保持されている設定データが配線41～46及びバッファ51～56を介してバス配線11～16に与えられる。この設定データは、ストップモード時にオペレータが外部クロック入力部70を介して所望のデータを内蔵タイマー320に保持させたデータである。

## 【0052】

具体的には、イベント入力部360からの所望のデータに相当するイベント信号のエッジ変化を内蔵タイマー320のカウント入力部に与えることにより、内蔵タイマー320の各カウントビット部321～326に設定データが保持される。このように、このマイクロコンピュータでは、ストップモード中にオペレータがイベント入力部360を介して設定データの内容を変更することにより、各バス配線11～16への設定データを変更することができる。

## 【0053】

この実施の形態のマイクロコンピュータにおいては、ストップモードにおいてイベント入力部360を通じて任意に設定データを指定することができるため、バス配線の設定データを様々に設定変更して電源電流値等を測定することにより、複数のテストパターンを用いたテストを迅速に実施できる。

## 【0054】

さらに、内蔵の内蔵タイマー320を用いて各バス配線11～16に設定データを設定するので、新規に追加する部材を少なく抑えつつ（実施の形態2の外部クロック入力部70、インクリメントカウンタ120等の省略しつつ）、上記効果を得ることができる。

## 【0055】

## &lt;実施の形態5&gt;

図5はこの発明の実施の形態5であるマイクロコンピュータの主要部の構成を示すブロック図である。

## 【0056】

同図に示すように、CPU1から出力されるワード線を選択するためのアドレ

ス信号のうち最下位（ビット）アドレスを除くメインアドレス信号AD1がメインデコーダ400Aに出力され、最下位アドレス信号AD2が最下位アドレス加工部400Dに出力される。

## 【0057】

メインデコーダ400Aはメインアドレス信号AD1に基づきデコード処理を行いメインデコード結果S1を出力する。

## 【0058】

モード切替部400Bはモード信号設定部5より得られるモード信号に基づき、モード信号が通常モードを指示するときメインデコード結果S1をそのまま選択デコード結果S2として出力し、モード信号がストップモードを指示するとき固定データ（オール“0”（“L”））を選択デコード結果S2として出力する。

## 【0059】

一方、最下位アドレス加工部400Dは最下位アドレス信号AD2に基づき、最下位アドレスビット信号B及び反転最下位アドレスビット信号バーBのうち、一方を“H”、他方を“L”に設定する。

## 【0060】

サブデコーダ400Cは選択デコード結果S2及び最下位アドレスビット信号対B、バーBに基づき、メモリセル群501のワード線491, 492, …, 498, …（以下、「ワード線491～498」と略記）の電位設定を行う。

## 【0061】

上述したメインデコーダ400A、モード切替部400B、サブデコーダ400C及び最下位アドレス加工部400Dによって、ワード線アドレスデコード回路400が構成され、モード切替部400B、サブデコーダ400C及び最下位アドレス加工部400Dによってサブデコード部が構成される。

## 【0062】

図6は図5で示したワード線アドレスデコード回路400の主要部の構成を示す回路図である。なお、図6において最下位アドレス加工部400Dの図示は省略している。

## 【0063】

ワード線アドレスデコード回路400の入力端はアドレスバスによって不図示のCPU1のプログラムカウンタ等と接続されるとともに、出力端はワード線491～498によってROM等のメモリ部のメモリセル群501と接続されている。

## 【0064】

そして、メインデコーダ400Aは、ワード線を選択するアドレスの最下位ビット以外を除くメインアドレス信号AD1に対してそれぞれデコードを行うデコーダ401, 402, 403, 404, …（以下、「デコーダ401～404」と略記）を備えている。

## 【0065】

デコーダ401は第1段にNANDゲートG11～G13、第2段にインバータG21～G23、第3段にNANDゲートG30を有し、予め対応づけられたメインアドレス信号AD1（最下位ビット除くアドレス信号）が入力されると“H”を出力し、それ以外の場合は“L”を出力する。なお、図6においてデコーダ402～404には詳細を示さないが、デコーダ401に図示したのと同様の回路が設けられている。したがって、メインアドレス信号AD1に基づきデコーダ401～408のうち一のデコーダな出力のみ“L”となる。

## 【0066】

モード切替部400Bは、NANDゲート411, 412, 413, 414, …（以下、「NANDゲート411～414」と略記）、インバータ421, 422, 423, 424, …（以下、「インバータ421～424」と略記）、NORゲート431, 432, …, 428, …（以下、「NORゲート431～438」と略記）、及び信号線410及びインバータ420を備えている。

## 【0067】

具体的には、モード信号設定部5より与えられるモード信号がインバータ420を介して信号線410に付与される。そして、NANDゲート411～414の一方入力にデコーダ401～404の出力が接続され他方入力に信号線410が共通に接続される。NANDゲート411～414の出力がインバータ421

～424の入力に与えられる。

【0068】

サブデコーダ400Cにおいて、NORゲート431, 433, 435, 537の一方入力が信号線453に共通に接続され、他方入力にインバータ421～424の出力が接続される。NORゲート432, 434, 436, 538の一方入力が信号線452に共通に接続され、他方入力にインバータ421～424の出力が接続される。

【0069】

そして、サブデコーダ400Cの信号線452には最下位アドレスビット信号Bが付与され、信号線453に反転最下位アドレスビット信号バーBが付与される。

【0070】

このような構成において、モード信号設定部5に通常モードを指示する“L”のモード信号が与えられると、信号線410は“H”となるため、メインデコーダ400Aの出力（図5のメインデコード結果S1）が有効となり、NORゲート431～438の一方入力に与えられる。その結果、デコーダ401～404のうち“L”（選択状態）を出力信号と、最下位アドレスビット信号対B, バーBの“H”／“L”によって、ワード線491～498のうちのいずれか一本が選択されるという通常のワード線選択動作が実行される。

【0071】

一方、ストップモード時にモード信号設定部5にストップモードを指示する“H”のモード信号が与えられると、信号線410は“L”となるため、メインデコーダ400Aの出力は全て無効となり、NORゲート431～438の一方入力は全て“L”に固定される（図5の選択デコード結果S2がオール“0”）。その結果、信号線452, 453に与えられる最下位アドレスビット信号対B, バーBによって、隣接するワード線491～498は必ず交互に“H”, “L”, “H”, “L”に設定される。

【0072】

以上のような構成であるので、実施の形態5に係るマイクロコンピュータによ

れば、ストップモードにおいてはワード線に1本おきに異なった電位が設定され、この状態で電源電流を測定することにより、ワード線のショート等の不良（リーキ不良）を精度良く検出することが可能である。

## 【0073】

また、ワード線に値を設定するための信号源として通常動作時と同じ信号、すなわち、ワード線を選択するアドレス信号をそのまま使用している。したがって、ワード線アドレスデコード回路を通常モードとストップモードで共通に使用できるため、追加回路を低減して製造コストを抑えることが可能である。

## 【0074】

## &lt;実施の形態6&gt;

図7はこの発明の実施の形態6であるマイクロコンピュータにおける主要部の構成を示す回路図である。

## 【0075】

同図において、ROM等のメモリ部のメモリセル群501内の複数のメモリセル（図示せず）はマトリクス状に配置され、行単位にワード線491～498に接続され、列単位にビット線540, 541, …, 549, …（以下、「ビット線540～549」と略記）に接続される。

## 【0076】

ワード線491～498は、ワード線選択回路であるワード線アドレスデコード回路500によりデコードされる。ワード線アドレスデコード回路500は実施の形態5のワード線アドレスデコード回路400と同様、メインデコーダ400A、サブデコーダ400C及び最下位アドレス加工部400D（図7では図示せず）を有するとともに、モード切替部400Bに替えてモード切替部500Bを有している。

## 【0077】

モード切替部500Bは、インバータ521, 522, 523, 524, …（以下、「インバータ521～524」と略記）、NANDゲート511, 512, 513, 514, …（以下、「NANDゲート511～514」と略記）、信号線410及びインバータ420から構成される。

## 【0078】

モード信号設定部5より与えられるモード信号がインバータ420を介して信号線410に付与される。インバータ521～524はデコーダ401～404の出力を受け、NANDゲート511～514は一方入力にインバータ521～524の出力を受け、他方入力が信号線410に共通に接続される。なお、ワード線アドレスデコード回路500の他の構成は実施の形態5のワード線アドレスデコード回路400と同様であるため、説明を省略する。

## 【0079】

一方、ビット線540～549は読み書き用の図示しない入出力バッファ等に接続されるとともに、ビット線電位設定部に相当するスイッチ回路群560に接続される。

## 【0080】

スイッチ回路群560はビット線540～549に電気的に接続されるスイッチ回路550, 551, …, 559, …(以下、「スイッチ回路550～559」と略記)を有しており、これらスイッチ回路550～559は、モード信号設定部5から与えられるモード信号が“H”的ときに共通にオン状態となり、“L”的時に共通にオフ状態となる。

## 【0081】

スイッチ回路550, 552, 554, 556, 558はオン状態時にグランド配線L0に電気的に接続され、スイッチ回路551, 553, 555, 555, 559はオン状態時に電源配線L1に電気的に接続される。

## 【0082】

このような構成において、通常モード時にモード信号設定部5に“L”的モード信号が与えられると、デコーダ401～404のうち一の出力が“L”となるため、NANDゲート511～514のうち一の出力が“L”となり、結果として、ワード線491～498のうちのいずれか一本が選択され、通常の読み出し書込み動作を伴う通常のワード線選択動作がメモリセル群501に対して実行される。この際、スイッチ回路群560のスイッチ回路550～559は全てオフ状態である。

## 【0083】

一方、ストップモード時にモード信号設定部5に“L”のモード信号が与えられると、メインデコーダ400Aのデコード結果が無効化され、NANDゲート511～514は強制的に“H”となる。その結果、最下位アドレスビット信号対B、バーBも無効化され、ワード線591～598全ては強制的に“L”に固定されることにより非選択状態となる。

## 【0084】

そして、スイッチ回路群560内の全てのスイッチ回路550～559がオン状態となり、隣接するビット線540～549が交互に“H”，“L”に設定される。

## 【0085】

以上のような構成であるので、実施の形態6に係るマイクロコンピュータによれば、ストップモードにおいては、隣接するビット線540～549に1本おきに異なった電位が設定され、この状態で電源電流を測定することにより、ビット線540～549のショート等の不良（リーク不良）を精度良く検出することが可能である。

## 【0086】

また、ワード線に値を設定するための信号源として通常動作時と同じ信号、すなわち、ワード線を選択するアドレス信号を使用しているため、ワード線アドレスデコード回路500に関しては、実施の形態5と同様、追加回路を低減して製造コストを抑えることが可能である。

## 【0087】

## 【発明の効果】

以上説明したように、この発明における請求項1記載のマイクロコンピュータは、特殊状態時にデータ記憶部に格納された設定データによる電位設定を複数の信号線に対して行うことができるため、別途、テスト信号供給源を備えることなく、複数の信号線に対するテスト用の電位設定を行える。その結果、CPUの信号を伝達する複数の信号線における不良を検出することができる、低成本のマイクロコンピュータを得ることができる。

## 【0088】

この発明における請求項6記載のマイクロコンピュータは、特殊状態時に、最下位ビットのアドレス信号のみに基づき複数のワード線の電位設定を行うことにより、通常アドレス順に配置される複数のワード線に対し交互に“H”，“L”の電位設定を行うことができ、その結果、この状態で電源電流を測定することにより、ワード線のショート等の不良を精度良く検出することができる。

## 【0089】

さらに、通常状態時は、メインデコーダとサブデコード部とによって、メインデコード結果と最下位ビットのアドレス信号に基づき、複数のワード線のうちのいずれかを選択状態の電位に設定する通常のワード線選択動作が行えるため、ワード線選択手段に関し、追加回路を低減して製造コストを抑えることが可能である。

## 【0090】

この発明における請求項7記載のマイクロコンピュータは、特殊状態時において、ワード線選択手段によって複数のワード線が全て非選択状態とされ、ビット線電位設定部によって、複数のビット線の電位設定が予め定められた態様で行われる。したがって、例えば、複数のビット線に対し交互に“H”，“L”の電位設定が行われるように予め定められた態様を設定し、この状態で電源電流を測定することにより、ビット線のショート等の不良を精度良く検出することができる。

## 【0091】

さらに、通常状態時は、ワード線選択手段はアドレス信号に基づき、複数のワード線のうちのいずれかを選択する通常のワード線選択動作が行えるため、ワード線選択手段に関し、追加回路を低減して製造コストを抑えることが可能である。

## 【図面の簡単な説明】

【図1】 この発明の実施の形態1であるマイクロコンピュータにおける主要部の構成を示す回路図である。

【図2】 この発明の実施の形態2であるマイクロコンピュータにおける主



要部の構成を示す回路図である。

【図3】 この発明の実施の形態3であるマイクロコンピュータにおける主要部の構成を示す回路図である。

【図4】 この発明の実施の形態4であるマイクロコンピュータにおける主要部の構成を示す回路図である。

【図5】 この発明の実施の形態5であるマイクロコンピュータの主要部の構成を示すブロック図である。

【図6】 図5のワード線アドレスデコード回路の構成を示す回路図である

【図7】 この発明の実施の形態6であるマイクロコンピュータにおける主要部の構成を示す回路図である。

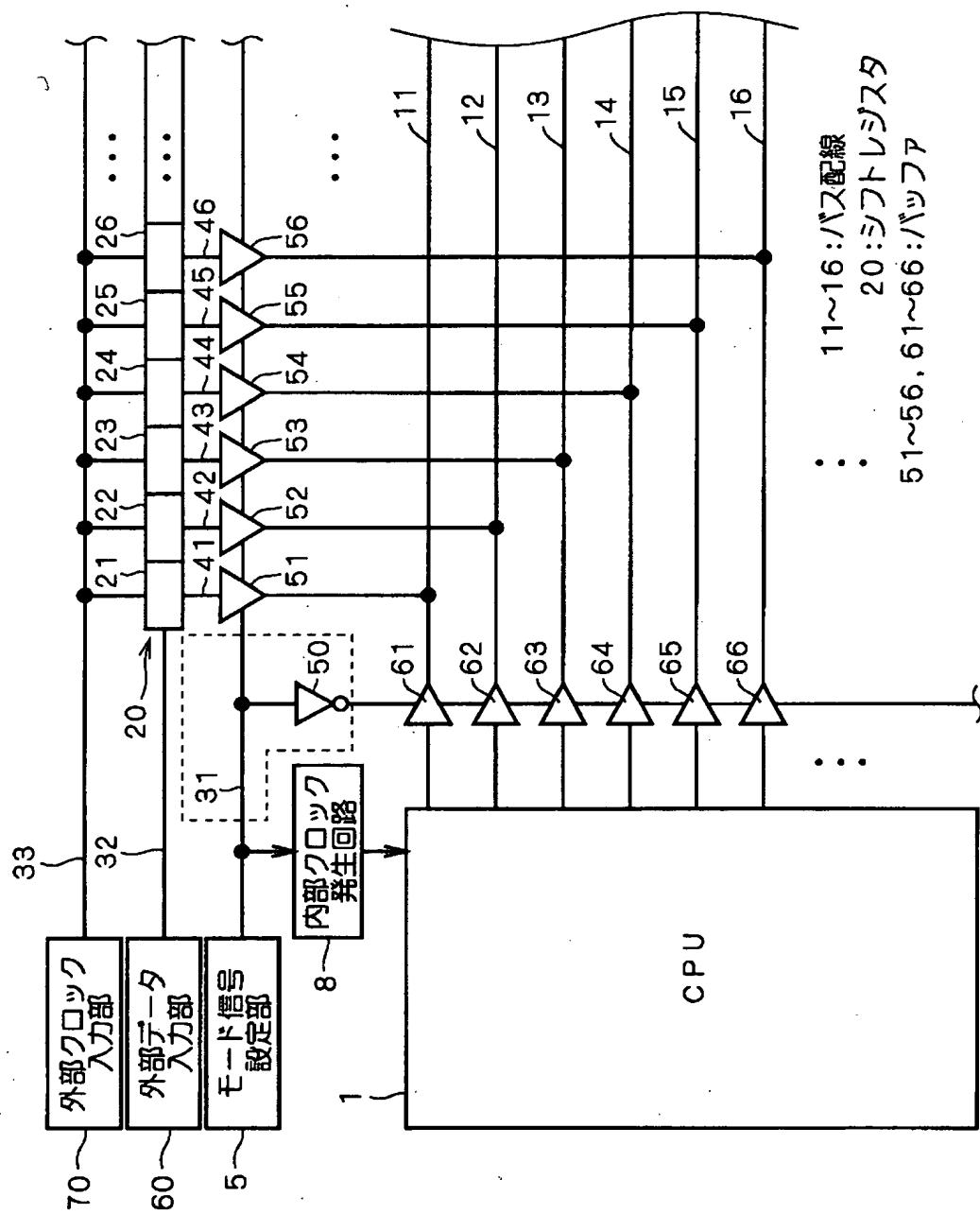
【符号の説明】

1 CPU、 5 モード信号設定部、 7 シリアルデータ入力部、 11～16  
バス配線、 20 シフトレジスタ、 50 インバータ、 51～56、 61～6  
6 バッファ、 60 外部データ入力部、 70 外部クロック入力部、 120  
インクリメントカウンタ、 220 シリアルI/O、 320 タイマー、 360  
イベント入力部、 400 ワード線アドレスデコード回路、 400A メイン  
デコーダ、 400B, 500B モード切替部、 400C サブデコーダ、 40  
0D 最下位アドレス信号加工部、 491～498 ワード線、 540～549  
ビット線、 501 メモリセル群、 560 スイッチ回路群。

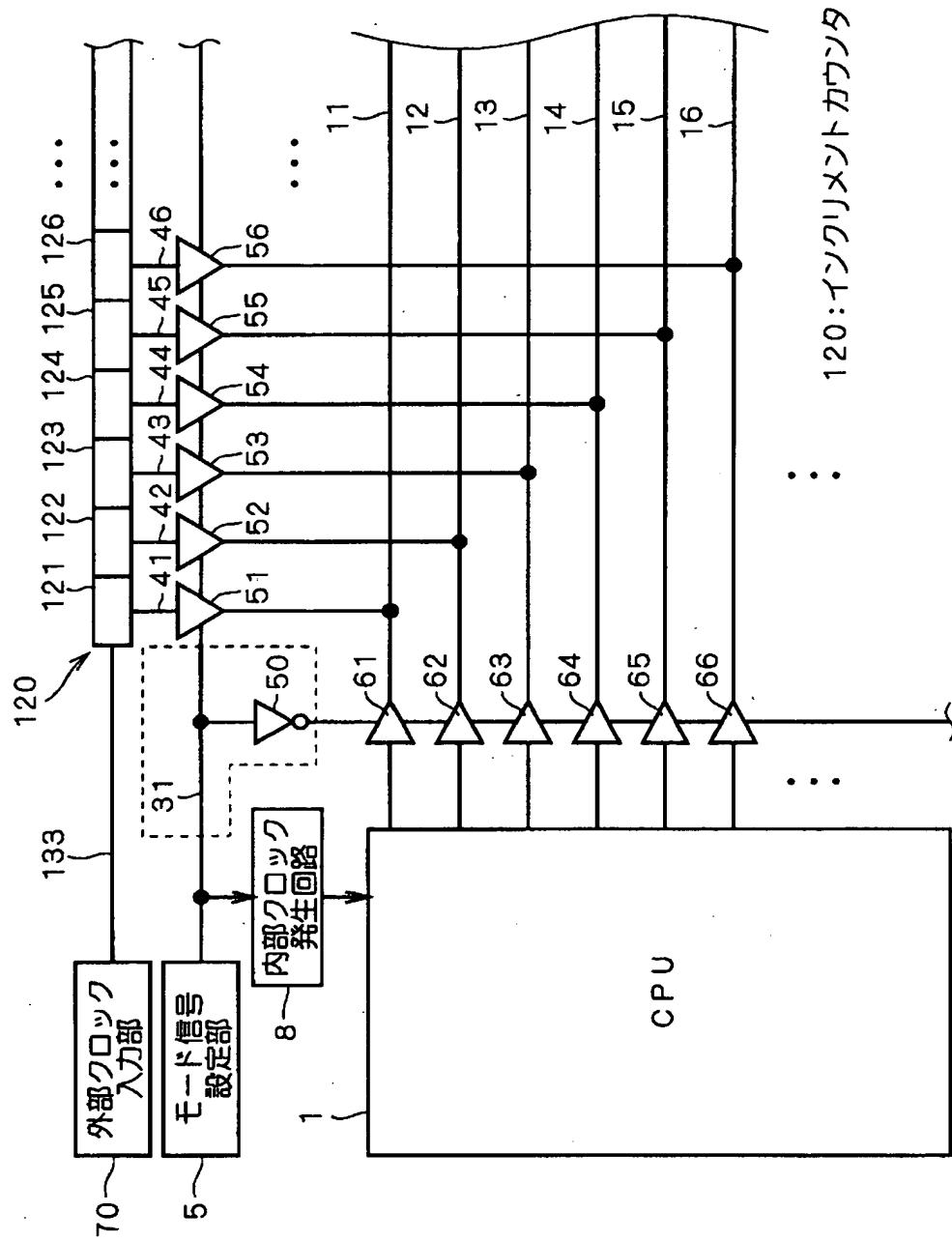
【書類名】

図面

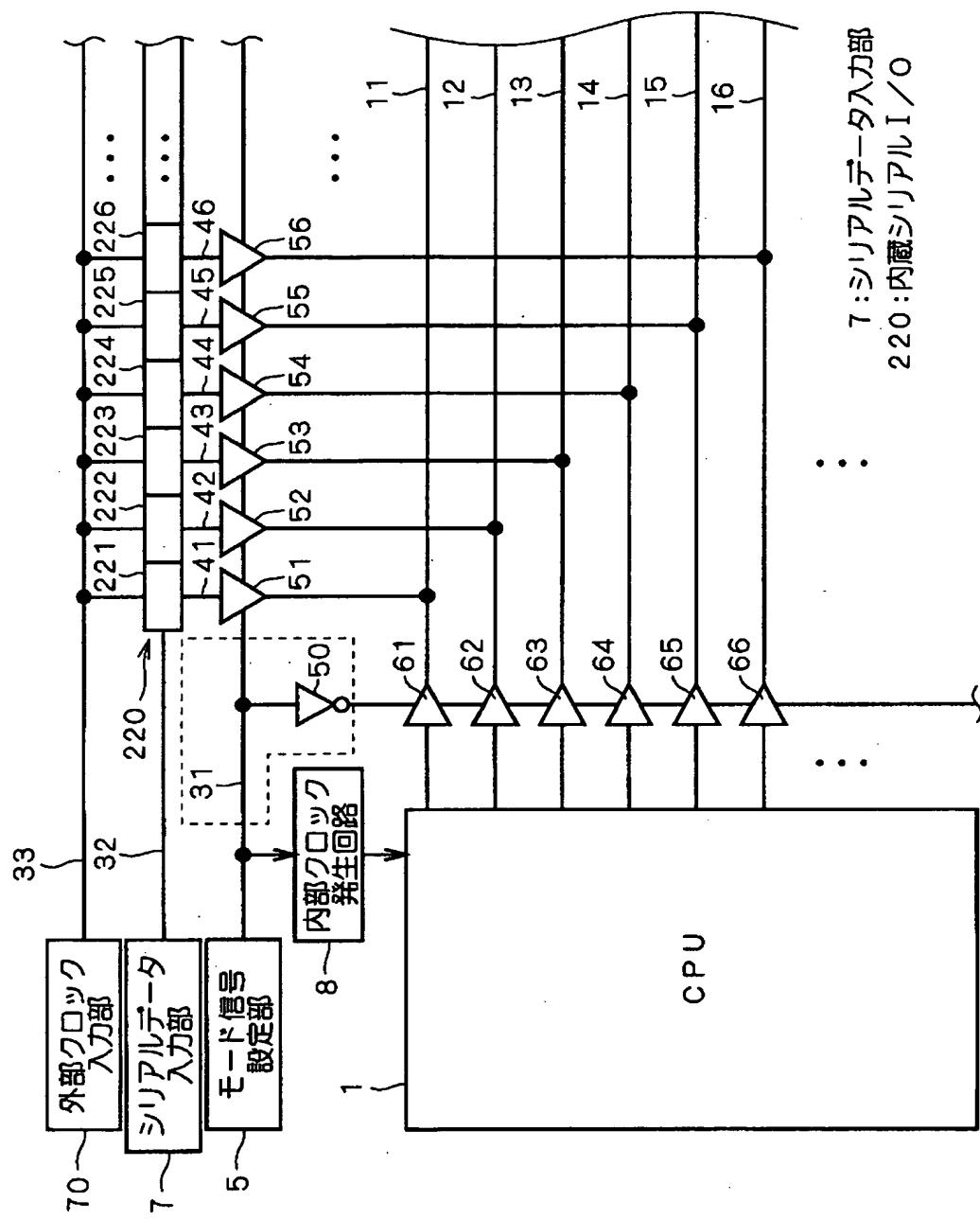
【図1】



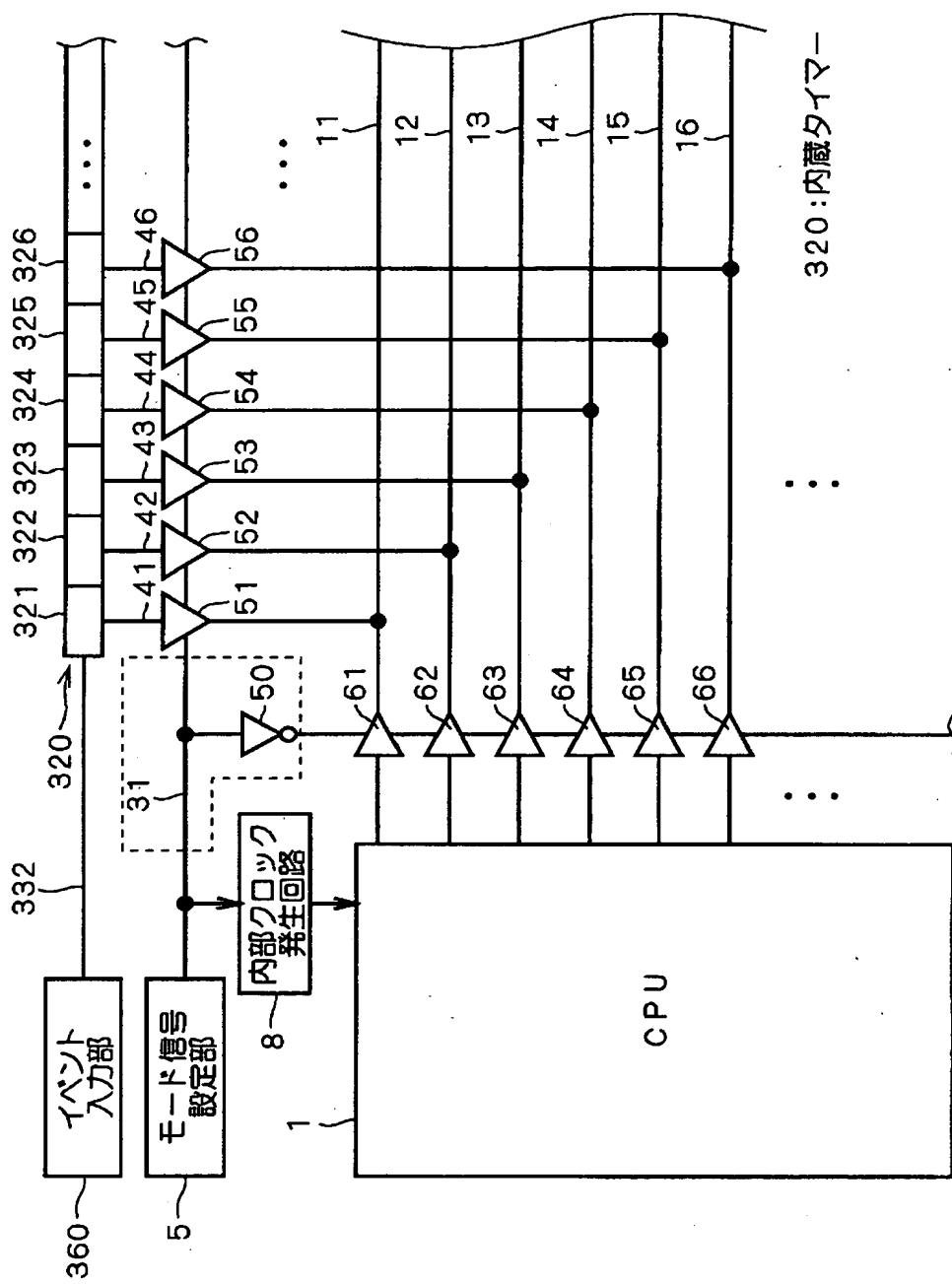
【図2】



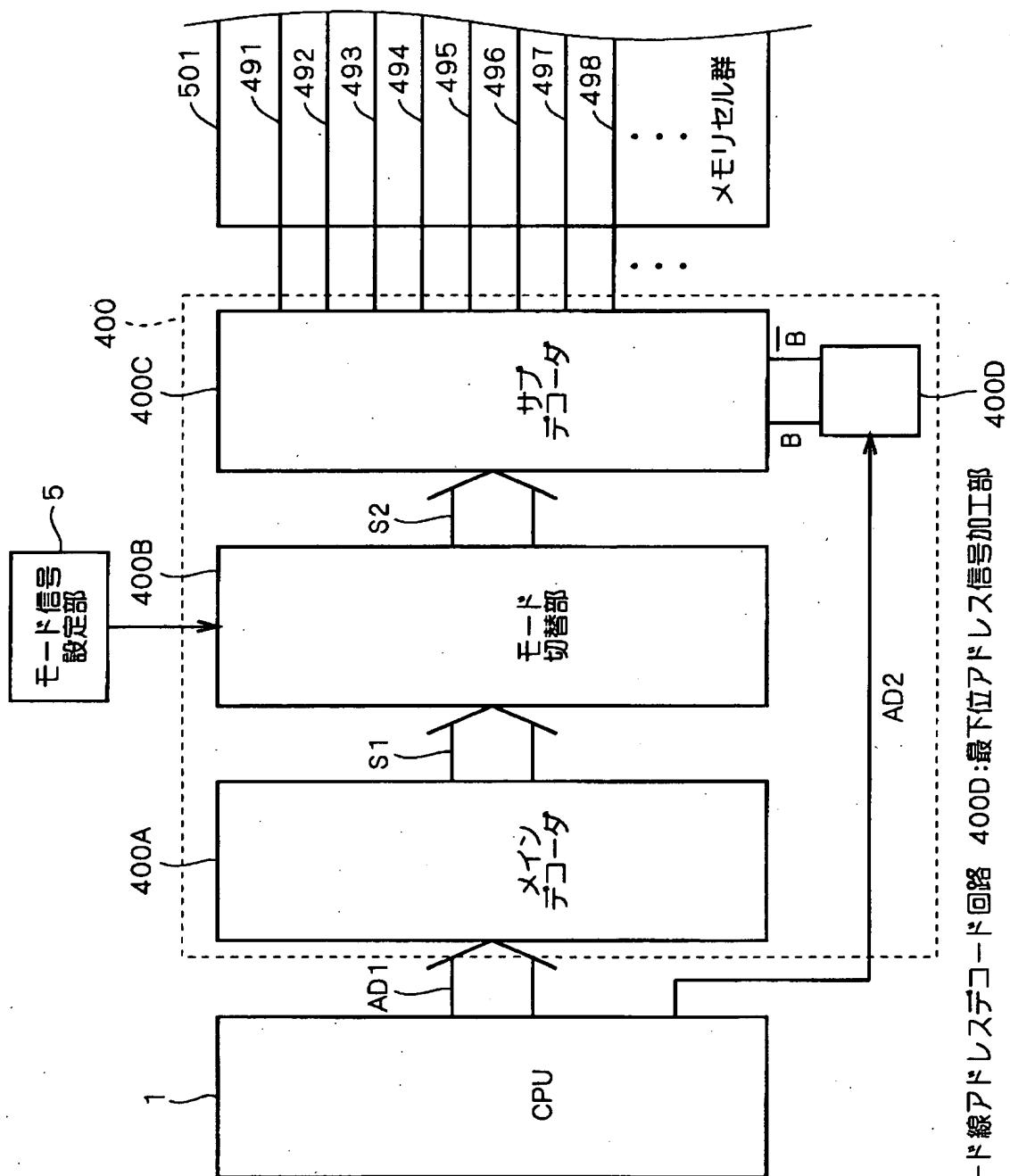
【図3】



【図4】

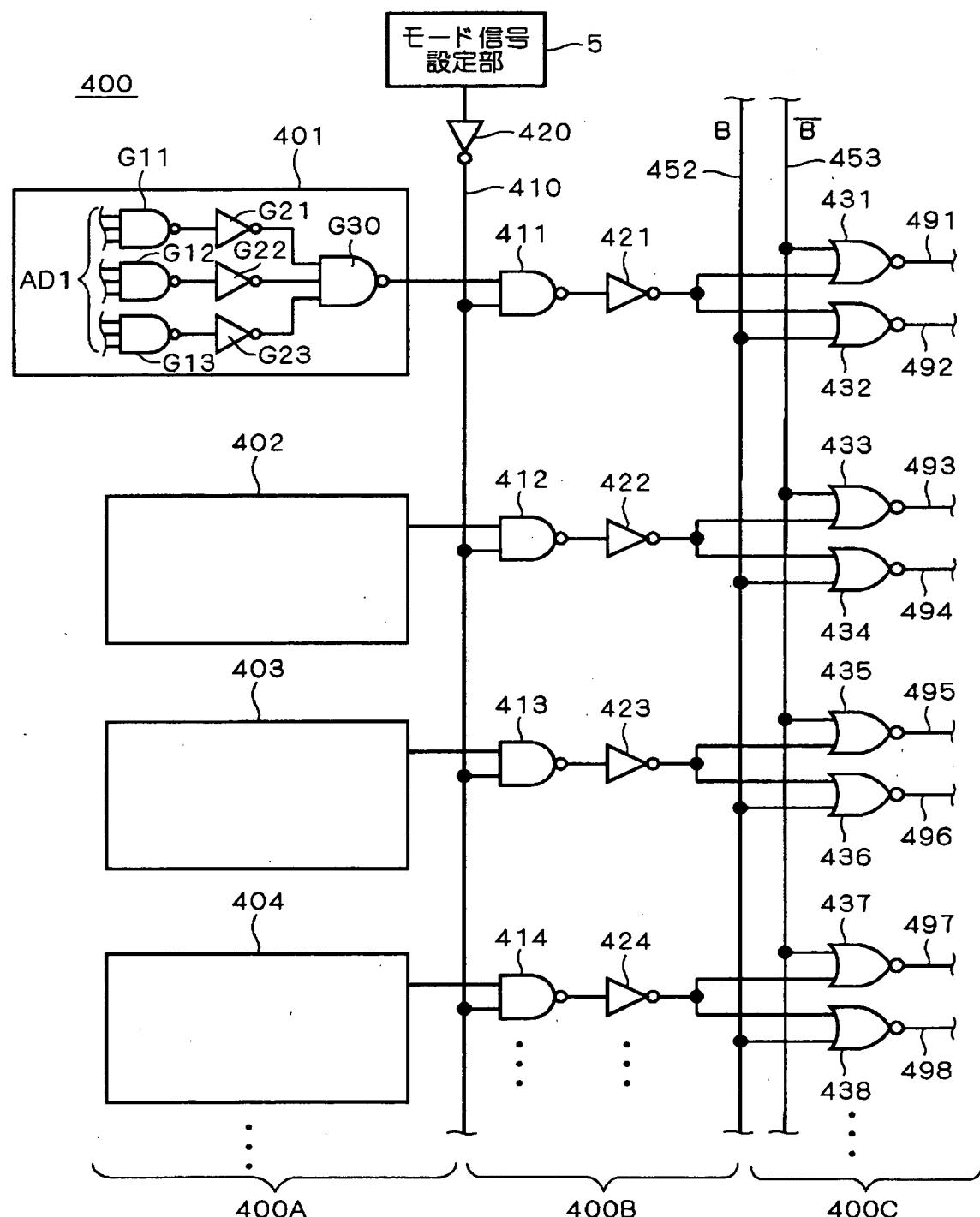


【図5】



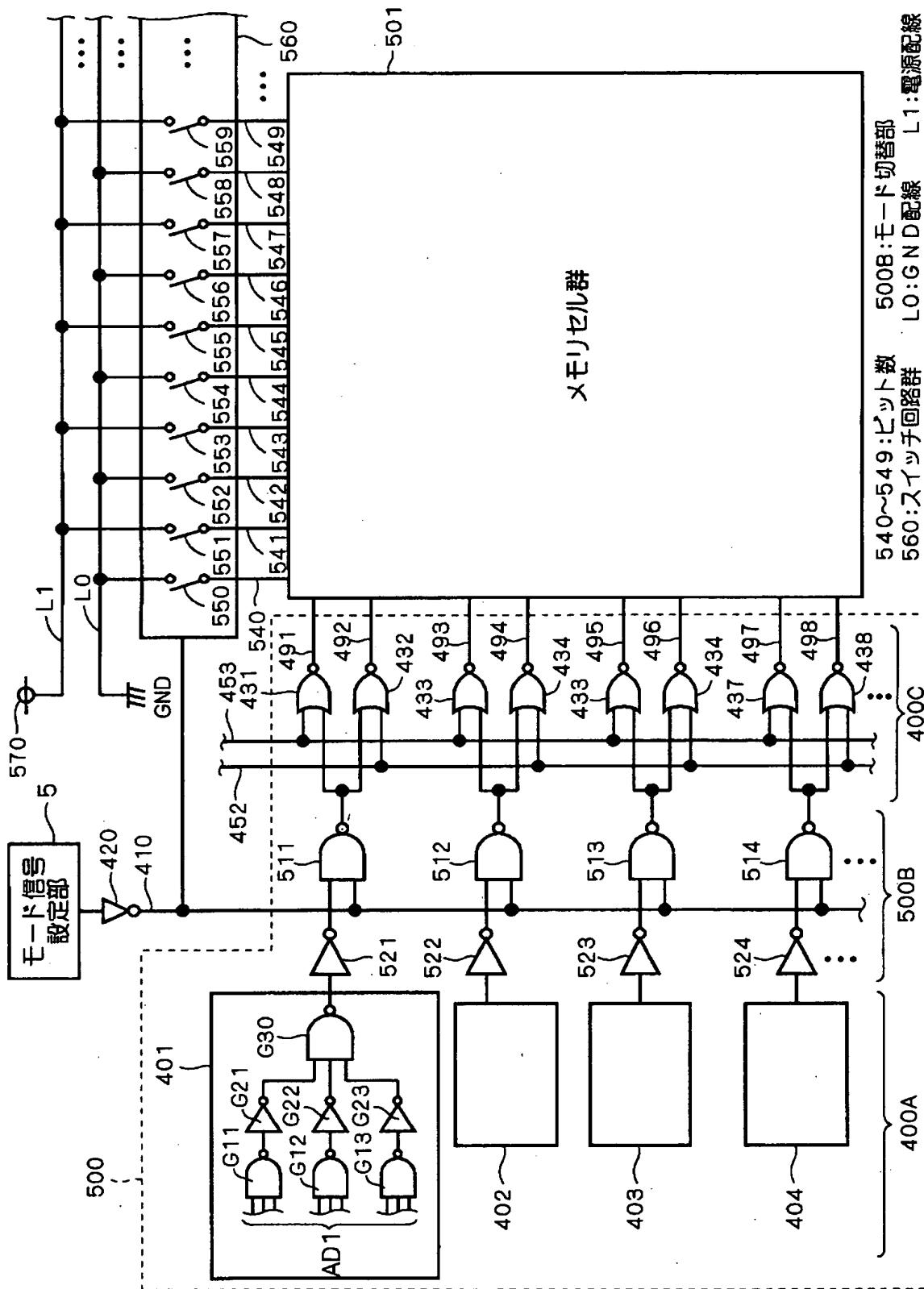
400:ワード線アドレスデコード回路 400D:最下位アドレス信号加工部 400D

【図6】



491~498:ワード線

【図7】



【書類名】 要約書

【要約】

【課題】 C P Uの信号を伝達するワード線等の複数の信号線における不良を検出することが可能な、低コストのマイクロコンピュータを提供する。

【解決手段】 バス配線 1 1～1 6 に対して、ストップモード時に電位を設定するシフトレジスタ 2 0 を備えており、シフトレジスタ 2 0 は外部クロック入力部 7 0 からの外部クロックに同期して、外部データ入力部 6 0 から設定データ用の信号をシリアルに入力することにより、設定データを保持することができる。シフトレジスタ 2 0 内の設定データは活性状態のバッファ 5 1～5 6 を介してバス配線 1 1～1 6 に付与される。バッファ 5 1～5 6 はモード信号が“L”（ストップモードを指示）のとき活性状態となる。

【選択図】 図 1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社